

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

PH DE 010005EP	MAT. DOSSIER
-------------------	-----------------



①⑨ BUNDESREPUBLIK

①②

**Offenlegungsschrift**

⑤① Int. Cl. 8:

**H02 M 3/335**

G 05 F 1/625

DEUTSCHLAND

①⑩

**DE 195 22 956 A 1**



DEUTSCHES

PATENTAMT

②① Aktenzeichen: 195 22 956.8

②② Anmeldetag: 23. 8. 95

②③ Offenlegungstag: 9. 1. 97

⑦① Anmelder:

Siemens AG, 80333 München, DE

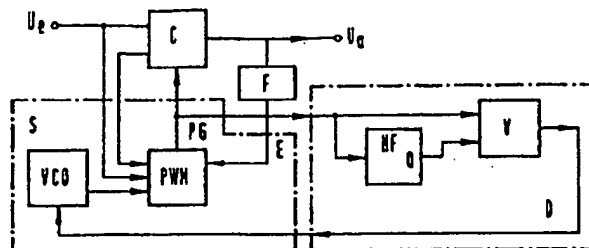
⑦② Erfinder:

Semmler, Peter, Dipl.-Ing. (FH), 85368 Moosburg, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Umrichter

⑤⑦ Umrichter, der im normalen Betriebsfall mit einem pulsweitenmodulierten Ansteuersignal mit konstanter Frequenz und im Überlast- bzw. Schwachlastfall mit einem frequenzmodulierten Ansteuersignal mit konstanter Pulsweite betrieben wird.



: 195 22 956 A 1

Pulsweitenmodulierte Umrichter, insbesondere Gleichstromumrichter arbeiten im Normalbetrieb mit konstanter Arbeitsfrequenz. Die Regelung der Ausgangsspannung des Umrichters erfolgt durch eine Änderung des Tastverhältnisses  $t_{on}/T$  des Ansteuersignals für den elektronischen Schalter des Umrichters. Um eine konstante Spannung an den Ausgangsklemmen des Umrichters zu erhalten, wird diese beispielsweise mit einem vorgegebenen Spannungssollwert in einem Fehlerverstärker verglichen. Der Fehlerverstärker gibt dabei bei einer Abweichung von Spannungssollwert die verstärkte Regelabweichung an einen Steuereingang des Pulsweitenmodulators weiter. Dieser regelt entsprechend der Größe der verstärkten Regelabweichung das Tastverhältnis  $t_{on}/T$  des am Ausgang des Pulsweitenmodulators anliegenden Ansteuersignals für den elektrischen Schalter.

Im Überlastfall, das heißt, der an dem Umrichter ausgangsseitig angeschlossene Verbraucher wird niederohmig, sorgt eine Strombegrenzungsschaltung für eine Reduzierung des Tastverhältnisses des elektronischen Schalters des Umrichters. Diese Strombegrenzungsschaltung mißt z. B. über einen Shunt (Meßwiderstand) den im Primärstromkreis des Umrichters fließenden Strom und schaltet, nach Erreichen eines kritischen Stromschwellenwertes, den elektronischen Schalter vorzeitig ab. Die Messung des Primärstromes und das Abschalten des elektronischen Schalters ist jedoch mit einer Verzugszeit beaufschlagt. Die Verzugszeit setzt sich beispielsweise durch die Schaltzeiten innerhalb einer Vergleichseinheit, der Signallaufzeit im Steuer-IC, der Zeit in der das Ausgangssignal für den elektronischen Schalter zurückgesetzt wird und durch die Schaltzeit, die der elektronische Schalter benötigt bis er nach Eintreffen des Abschaltesignals den Primärstromkreis unterbricht, zusammen. Werden diese zum größten Teil schaltungstechnisch sowie technologisch bedingten Signalverzögerungszeiten addiert, ergibt sich die minimal mögliche Einschaltzeit  $t_{onmin}$  für den Umrichter. Da die Ausgangsspannung des Umrichters von dem Verhältnis  $t_{on}/T$  bestimmt wird, folgt daraus, daß bei niederohmigem Kurzschluß die Einschaltzeit  $t_{on}$  des elektronischen Schalters gegen Null gehen muß. Da dies aber aufgrund der Signalverzögerungszeiten nicht möglich ist, beginnt der Ausgangsstrom bei einem niederohmigen Kurzschluß stark anzusteigen. Dieser Kurzschlußstrom, der unter Umständen für den elektronischen Schalter bzw. den oder die Gleichrichter zerstören kann, tritt verstärkt bei Umrichtern mit hoher Ausgangsspannung, bei Umrichtern mit einem hohen Wirkungsgrad und bei hoher Arbeitsfrequenz auf.

Wird der Umrichter bei Schwachlast betrieben, so muß ebenfalls das Tastverhältnis  $t_{on}/T$  stark reduziert werden, da die übertragene Leistung des Systems größer als die dem Umrichter am Schaltungsausgang abverlangte Leistung ist. Bei vorgegebener Periodendauer  $T$  wird im Leerlauf dann eine kürzere Einschaltzeit  $t_{on}$  des elektronischen Schalters benötigt, die kürzer ist als die minimal mögliche Einschaltzeit  $t_{onmin}$  des elektronischen Schalters des Umrichters. Wenn die Ausgangsspannung des Umrichters über einen vorgegebenen Spannungssollwert liegt, hindert zudem der Fehlerverstärker den elektronischen Schalter an einem erneuten Durchschalten. Ein Einschalten des elektronischen Schalters erfolgt erst dann, wenn die Ausgangsspannung wieder unter den Spannungssollwert abgesunken

wird. Eine solche Schaltungsausgestaltung eines Umrichters ist beispielsweise aus der deutschen Patentschrift DE 28 38 009 bekannt.

Die oben genannten Probleme treten bei einem Umrichter mit konstantem  $t_{on}$  und variabler Frequenz nicht auf. Nachteil einer solchen Ausgestaltung eines Umrichters ist allerdings, daß über den gesamten Lastbereich zwischen Leerlauf- und Kurzschlußbetrieb die Arbeitsfrequenz des Umrichters entsprechend den Lastverhältnissen an den Ausgangsanschlußklemmen des Umrichters angepaßt wird und es aufgrund der unterschiedlichen Arbeitsfrequenzen nicht möglich ist, mehrere Umrichter miteinander zu synchronisieren.

Bei einer Spannungsversorgungseinheit mit mehreren Ausgangsspannungen, werden unter Umständen mehrere Umrichter für die entsprechenden Ausgangsspannungen dimensioniert. Aus schaltungstechnischen Gründen werden die speziell dimensionierten Umrichter untereinander synchronisiert. Die Vorteile liegen in der Verwendung einer einheitlichen Schaltfrequenz. Durch geeignete Phasenwahl der beispielsweise im Gegentakt betriebenen Umrichter, verringert sich die Wechselstrombelastung der Zwischenkreiskondensatoren.

Bei synchronisierten Umrichtern kann ein gemeinsames Endstörfilter verwendet werden. Werden die Umrichter nicht synchronisiert betrieben, so würden sich aufgrund der unvermeidlichen Toleranzen die Arbeitsfrequenzen der einzelnen Umrichter geringfügig unterscheiden. Dieser Unterschied in der Arbeitsfrequenz wirkt sich als Schwebung auf die gemeinsame Spannungsversorgung der Umrichterschaltungen aus. Da die Rückwirkungen auf die Spannungsversorgung bestimmten, festgelegten Grenzwerten unterliegen, müssen störende Frequenzen mit entsprechend dimensionierten Filtern von den Versorgungszuleitungen ferngehalten werden. Da die Schwebungsfrequenz der Differenzfrequenzen der einzelnen Umrichter entspricht, beginnt das mögliche Frequenzspektrum bei 0 Hz, wodurch eine Filterdimension unmöglich ist. Die Umrichter müßten bei unsynchronisiertem Betrieb einzeln entstört werden.

Aufgabe der Erfindung ist es, einen Umrichter derart auszugestalten, daß dieser im Schwachlast- bzw. Überlastfall frequenzvariabel und im normalen Betriebsfall mit einer konstanten Arbeitsfrequenz mit Pulsweitenmodulation betrieben werden kann.

Die Aufgabe wird durch die Merkmale des Patentanspruchs 1 gelöst.

Die Erfindung weist den Vorteil auf, daß im normalen Betriebsfall der Umrichter mit konstanter Frequenz arbeitet und mit anderen Umrichtern synchronisiert werden kann, während im Schwachlast- bzw. Überlastfall das Tastverhältnis durch eine neue Periodendauer geändert wird und so im Schwachlast- und Kurzschlußfall die Arbeitsfrequenz reduziert wird und ein weiteres Ansteigen der Ausgangsspannung bzw. des Kurzschlußstromes verhindert wird.

In der erfindungsgemäßen Schaltungsanordnung werden die Vorteile eines frequenzvariablen Umrichters im Schwachlast- und Überlastfall mit den Vorteilen eines frequenzkonstanten mit Pulsbreitenmodulation betriebenen Umrichters kombiniert. Im normalen Betriebsfall arbeitet der Umrichter wie ein Umrichter mit konstanter Frequenz und kann mit anderen Umrichtern synchronisiert werden. Im Überlast- bzw. Schwachlastfall behält der Umrichter seine minimale Einschaltdauer

$t_{onmin}$  bei, ändert aber entsprechend den Strom- oder Spannungsverhältnissen die Arbeitsfrequenz. Im Fehlerfall, der beispielsweise bei Lastabwurf oder Kurzschluß eintritt, wird dem Taktgeber (VCO) ein Stellsignal zugeführt wodurch sich die Taktfrequenz solange ändert, bis sich wieder ein stationärer Betriebszustand einstellt. Ein unzulässig hoher Ausgangsstrom im Überlastfall sowie eine Paketansteuerung im Schwachlastfall wird hierdurch wirksam unterbunden. Bei synchron arbeitenden Umrichtern wird der Umrichter bei dem der Fehlerfall auftrat, solange von den anderen abgekoppelt, bis sich wieder ein normaler Betriebszustand einstellt.

Weitere Besonderheiten der Erfindung werden aus der nachfolgenden näheren Erläuterung eines Ausführungsbeispiels anhand von Zeichnungen ersichtlich.

Es zeigen:

Fig. 1 ein Blockschaltbild,

Fig. 2A — 2F Impulsdiagramme,

Fig. 3 eine schaltungstechnische Realisierung,

Fig. 4 Ausgangskennlinien des Umrichters,

Fig. 5a/b weitere Schaltungsbeispiele, und

Fig. 6a/b Synchronisationsschaltungen.

Fig. 1 zeigt eine im Blockschaltbild dargestellte Schaltungsanordnung einen Umrichter mit Ansteuermodul. Dieser Umrichter mit Ansteuermodul besteht im wesentlichen aus dem Schaltungsmodul eines Konverters C, eines Pulsweitenmodulators PWM, eines Fehlerverstärkers F sowie eines Taktgebers, dessen Frequenz (VCO) veränderbar ist und aus einer Detektorschaltung D, die z. B. einen Kurzschluß- bzw. Überlastfall erkennt und entsprechend über ihr Ausgangssignal die Frequenz des Taktgebers (VCO) regelt. In der Detektorschaltung D ist im wesentlichen ein auf eine bestimmbare Einschaltzeit  $t_{onmin}$  dimensioniertes monostabiles Kippglied MF, sowie ein Verhältnisbildner V vorgesehen. An den Anschlußklemmen des Verhältnisbildners V liegt einerseits an einem ersten Eingang das Ausgangssignal des Monoflops MF und andererseits an einem zweiten Eingang das Ansteuersignal des elektronischen Schalters. Der Verhältnisbildner dient dazu, das Verhältnis zwischen der Einschaltzeit  $t_{on}$  zur Einschaltzeit  $t_{onmin}$  des Ausgangssignals des Monoflops MF zu bilden. Diese "Verhältnisbildung", wird durch eine synchrone Mittelwertbildung der oben aufgeführten Signale erreicht.

Der Pulsweitenmodulator PWM wird über einen primärseitig fließenden Strom im Meßwiderstand des Hauptstromkreises und einer sekundärseitig am Umrichter anliegenden Ausgangsspannung beeinflusst. Das Ausgangssignal des Pulsweitenmodulators PWM bestimmt den Tastgrad des elektronischen Schalters des Umrichters C. Dieses an den Ausgangsklemmen PG des Pulsweitenmodulators PWM anliegende Ausgangssignal, dessen Impulsbreite beeinflusst von den primär- bzw. sekundärseitig am Übertrager des Umrichters ermittelten Meßwerten, liegt am Eingang der Detektorschaltung D.

Mit dem Ansteuersignal  $t_{on}$  für den elektronischen Schalter wird das in der Detektorschaltung D angeordnete Monoflop MF getriggert. Dieses Monoflop MF erzeugt ein definiertes zeitliches Fenster für die synchrone Mittelwertbildung. Die Pulslänge des Ausgangssignals des Monoflops  $t_{onmin}$  legt die Einschaltzeit fest, ab der der Umrichter frequenzmoduliert arbeitet.

Während der Zeit  $t_{onmin}$  in der am Ausgang Q des Monoflops MF ein Impulssignal anliegt, wird ein analoges Stellsignal  $U_{c1}$  unabhängig von der sich einstellenden

den Frequenz gewonnen. Dieses Stellsignal  $U_{c1}$  beeinflusst die Ausgangsfrequenz des Taktgebers (VCO). Bei dem gezeigten Blockschaltbild in Fig. 1 ergibt sich beispielsweise im Überlast- bzw. Schwachlastfall nachfolgende Regelschleife:  $t_{on} \leq t_{onmin}$ ; Detektor verringert Oszillatorfrequenz; effektives Tastverhältnis  $t_{on}/T_{neu}$  wird kleiner.

Der Umrichter wird in dieser Betriebsphase mit konstanter Einschaltzeit  $t_{on}$ , aber mit variabler Frequenz betrieben. Die Arbeitsweise der Detektorschaltung D wird in Fig. 2 anhand von Impulsdiagrammen wiedergegeben und anhand des in Fig. 3 dargestellten Schaltungsaufbaus erläutert. Im Überlastfall wird durch die Detektorschaltung D der Arbeitspunkt des Umrichters erkannt, ab dem der Ausgangsstrom unkontrolliert ansteigen beginnt.

Das Ansteigen des Ausgangsstromes tritt bei der minimal möglichen Einschaltzeit  $t_{onmin}$  auf, da das Tastverhältnis aufgrund der Verzugszeiten nicht weiter verkürzt werden kann. Die Detektorschaltung D verhindert, daß der Umrichter diese kürzest mögliche Einschaltzeit  $t_{onmin}$  erreicht. Die aktuelle Einschaltzeit  $t_{on}$  wird gemessen. Bei Annäherung der Einschaltzeit  $t_{on}$  an die minimale mögliche Einschaltzeit  $t_{onmin}$  wird die Einschaltzeit des elektronischen Schalters konstant gehalten und die Arbeitsfrequenz des Taktgebers (VCO) auf  $f_{neu} = 1/T_{neu}$  erniedrigt. Das effektive Tastverhältnis  $t_{on}/T_{neu}$  verringert sich somit, ohne daß sich die Einschaltzeit  $t_{on}$  zu verkürzen müßte. Die konstante Einschaltzeit  $t_{onmin}$  des MF liegt vorzugsweise geringfügig über  $t_{onmin}$ . Das Verhältnis  $t_{on}/t_{onmin}$  der aktuellen Einschaltzeit  $t_{on}$  zur festgelegten minimalen Einschaltzeit  $t_{onmin}$  wird in eine, diesem Tastverhältnis proportionale Spannung umgesetzt.

In Fig. 2 sind zur Erläuterung der in der Fig. 1 wiedergegebenen Schaltungsanordnung Impulsdiagramme 2A bis 2F wiedergegeben. Unter Zeile 2A ist das Ansteuersignal  $t_{on}$  gezeigt, das entsprechend pulswidenmoduliert durch den Pulsweitenmodulator PWM den elektronischen Schalter des Umrichters steuert. In Zeile 2B ist das Ausgangssignal des monostabilen Kippgliedes MF wiedergegeben. Aufgrund einer zunehmenden Überlast oder Entlastung am Ausgang des Umrichters wird die Einschaltzeit  $t_{on}$  bzw. die Impulsbreite des Ansteuersignals ständig verringert. Ab einem bestimmten Zeitpunkt, hier  $t_{on} \leq t_{onmin}$  wird die Frequenz des Taktgebers verringert. In Fig. 2C ist die Ladezeit bzw. in Zeile 2D die Entladezeit eines im Vergleich V der Detektorschaltung D angeordneten Kondensators C1 wiedergegeben. Der Kondensator C1 wird wie in Zeile 2D angedeutet entladen, wenn die Impulsbreite des Ansteuersignals die Impulsbreite des vom Monoflop MF abgegebenen Ausgangssignals unterschreitet. In Zeile 2E ist in gewisser Weise auch die Logik der Detektorschaltung D wiedergegeben. Ist die Impulsbreite  $t_{on}$  des Ansteuersignals größer als die Impulsbreite  $t_{onmin}$  des Monoflops MF so wird während dem "Low"-Signal am Ausgang des Monoflops MF die Ladung des Kondensators C1 gehalten, wird die Impulsbreite des Ansteuersignals kleiner als die Impulsbreite des Monoflops MF, so verkürzt sich entsprechend die Ladezeit des Kondensators. Während der Zeitdifferenz  $t_{onmin} - t_{on}$  entlädt sich der Kondensator C1 (siehe Zeile 2D). Dargestellt ist das am Kondensator C1 anliegende Stellsignal in Zeile 2F. Während der Ladephase liegt am Kondensator C1 die maximal mögliche Spannung über R1 an. Wenn die Impulsdauer des Monoflops MF die Impulsdauer des Ansteuersignals unterschreitet, wird der Kondensator C1

(VCO) steuernde Spannung  $U_{C1}$  (siehe Fig. 3) entspricht jeweils dem Verhältnis der Impulsbreiten  $t_{onmin}^*$  zu  $t_{on}$ .

Fig. 3 zeigt eine schaltungstechnische Realisierung der Detektorschaltung D. Sie setzt sich aus dem Monoflop MF und dem synchronen Mittelwertbildner V zusammen. Am Eingang des Detektors D der mit E bezeichneten Anschlußklemmen liegt das vom Pulswidenmodulator PWM abgegebene Ansteuersignal  $t_{on}$  an. Das Stellsignal  $U_{C1}$  für den Taktgeber (VCO) wird am Kondensator C1 abgegriffen. Mit steigender Flanke des am Eingang E anliegenden Ansteuersignals wird gleichzeitig die monostabile Kippstufe MF getriggert. Diese gibt am Ausgang Q einen Impuls bestimmter Impulsbreite ab. Während dem High-Potential des Impulses wird beispielsweise der Transistor T1 gesperrt. Der Ladestromkreis für den Kondensator C1 wird von der mit  $U_h$  bezeichneten Betriebspotentialquelle über den Widerstand R1 und die Diode D2 geladen. Unterschreitet die Impulsbreite des Ansteuersignals die Impulsbreite des vom Monoflop MF abgegebenen Impulses, so wird der Kondensator C1 entladen. Diese Entladung erfolgt über die Diode D1, über den Widerstand R2 und der Diode D3. Liegt am Ausgang des Monoflops Low-Potential an, wird der Transistor T1 durchgeschaltet. Im durchgeschalteten Zustand des Transistors T1 liegt an der Diode D3 Sperrspannung an und der Kondensator C1 kann sich nicht mehr entladen. Das Entladen des Kondensators C1 findet nur während der Dauer des positiven Ausgangsimpulses des Monoflops MF nach Beendigung des positiven Zustandes des Ansteuersignals statt. Zu allen anderen Zeiten wird die gemittelte Kondensatorladung  $U_{C1}$  gehalten. Somit ergibt sich die Spannung am Kondensator C1 zu  $U_{C1} = v \times t_{on}/t_{onmin}^*$ . Die proportionale Verstärkung  $v$  und somit die Steilheit der Steuerkennlinie ist von den Lade- bzw. Entladewiderständen R1 und R2 abhängig.

In der Fig. 4 sind die mit a, b gekennzeichneten Kurvenverläufe dargestellt. Der mit a bezeichnete Kurvenverlauf tritt dann ein, wenn wie beispielsweise bei einem niederohmigen Kurzschluß die Impulsdauer des Ansteuersignals gegen Null gehen muß, aber aufgrund der technologisch bedingten Signallaufzeiten dies nicht möglich ist und der Ausgangsstrom weiter zunimmt. Die Wirkungsweise der Detektorschaltung D und die damit zu erzielende Ausgangskennlinie eines Umrichters zeigt der mit b gekennzeichnete Kurvenverlauf.

Fig. 5a zeigt eine Schaltungsanordnung in Verbindung mit dem Steuerbaustein TDA 4916 G der Firma Siemens AG. Zur Steuerung des elektronischen Schalters des Umrichters C dient eine Steuerschaltung S (TDA 4916 G). Der elektronische Schalter ist mit seiner Steuerelektrode an dem Steuerausgang 4 der Steuerschaltung 5 angeschlossen. An den Ausgängen b1, b2 des Umrichters ist der Regler R angeschlossen. Zwischen dem Regler R und der Steuerschaltung S ist ein Opto-Koppler angeordnet, dessen Photodiode an den Regler R angeschlossen ist. Der Phototransistor des Opto-Kopplers liegt emitterseitig am Bezugspotential. Die Steuerschaltung S enthält ferner den Taktgeber G (durch die Beschaltung zu einem spannungsgesteuerten Oszillator (VCO) erweitert), an dessen Ausgang eine aus einer Verknüpfungsanordnung und dem Pulswidenmodulator bestehende Anordnung angeschlossen ist. Diese Anordnung wird durch einen Komparator K gesteuert. Zwischen dem Ausgang des Pulswidenmodulators und der Gate-Elektrode des elektronischen Schalters liegt ein Treiber T, der an seinem Ausgang Ansteuerimpulse

des elektronischen Schalters erzeugt. Des Weiteren ist ein Synchronisationsmodul SYN in der Steuerschaltung S vorhanden, das Einfluß auf den Taktgenerator nimmt.

Das für die Schaltungsanordnung D vorgesehene Monoflop MF zur Erzeugung der Zeit  $t_{onmin}^*$  ist mit den Bauelementen R3, R4, R5, T2 und C2 realisiert. Ein "High"-Signal am Ausgang 14 der Steuerschaltung S steuert über die Pegelanpassung R3 und R4 den Transistor T2 an, wodurch sich C2 entladen kann. Das Potential an dem Kondensator C2 beträgt nach der Entladung etwa 0 Volt ( $= U_{ce}$  des gleichgesteuerten Transistors T2) und stellt somit einen definierten Startwert für die anschließende Ladung während der Zeit  $t_{onmin}^*$  dar. Sobald das Signal am Ausgang 14 der Steuerschaltung S ein "Low"-Potential führt, wird der Transistor T2 gesperrt und C2 kann sich über R5 aufladen. Das Spannungspotential am Kondensator C2 wird über einen Differenzverstärker, bestehend aus R8, R9, R10, T3 und T4 mit einer Referenzspannungsquelle  $U_{ref}$  verglichen. Der Differenzverstärker kann auch als Operationsverstärker- bzw. Komparator ausgeführt werden. Die Referenzspannungsquelle  $U_{ref}$  kann ebenfalls im Steuerbaustein S angeordnet sein. Nur solange das Potential am Kondensator C2 kleiner als die Referenzspannung  $U_{ref}$  ist, kann der synchrone Mittelwertbildner V, bestehend aus R1, R2, D1, D2, D3, T1 und C1 wie unter Fig. 3 beschrieben, arbeiten.

Der Widerstand R7 bewirkt eine Mitkopplung des Differenzverstärkers und ermöglicht somit kürzere Schaltzeiten. Das Schaltverhalten wird durch C3 bzw. der Antisättigungsdiode D4 noch weiter verbessert. Erreicht das Spannungspotential an C2 die Höhe der Referenzspannung, so schaltet der Transistor T3 des Differenzverstärkers durch und der Transistor T1 wird ebenfalls leitend gesteuert, wodurch sich der Kondensator C1 des synchronen Mittelwertbildners V nicht weiter entladen kann. Die Schaltung bildet somit das Verhältnis  $V \cdot t_{on}/t_{onmin}^*$  am Kondensator C1 ab. Der Verstärkungsfaktor V läßt sich durch die Dimensionierung von R1 und R2 einstellen. Das am C1 gewonnene Stellsignal steuert das Stellglied T5 an, das die Arbeitsfrequenz des Steuerbausteins S bestimmt.

Fall 1:  $t_{on} > t_{onmin}^*$

Spannung an C1  $\approx$  Spannung des Betriebspotentials  $U_h$  — der Transistor T5 ist durchgesteuert, d. h. R11 wird kurzgeschlossen und der Widerstand R12 bestimmt die "normale", feste Arbeitsfrequenz des Konverters C.

Fall 2:  $t_{on} < t_{onmin}^*$

Im Verhältnis  $V \cdot t_{on}/t_{onmin}^*$  verringert sich die Spannung an dem Kondensator C1, wodurch T5 aktiv wird, d. h. der für die Frequenz verantwortliche Widerstand  $R12 + (R11/R_{ds})$  erhöht sich, wodurch die Arbeitsfrequenz des Steuerbausteins S verringert wird.

Fig. 5b zeigt eine weitere schaltungstechnische Ausgestaltung des in Fig. 1 dargestellten Blockschaltbildes. Die Funktion der in Fig. 5b dargestellten Schaltungsanordnung entspricht der Funktion der in 5a dargestellten Schaltungsanordnung, wobei das diskret aufgebaute monostabile Kippglied MF durch einen integrierten Schaltkreis (IC14528), hier zwei unabhängige monostabile Kippstufen MF1, MF2 ersetzt wird. Prinzipiell reicht für die Funktion der Schaltung ein monostabiles Kippglied aus. Der integrierte Schaltkreis (IC 14528)

verursacht aber eine Schaltverzögerung des Ansteuerungssignals für den synchronen Mittelwertbildner V. Um diese Schaltungsverzögerung zu kompensieren wird die zweite monostabile Kippstufe MF2 in diesem integrierten Schaltkreis zur Impulsaufbereitung verwendet.

In Fig. 6a ist eine Schaltungsanordnung dargestellt, bei der mehrere Konverter C1 ..., Cn synchron arbeiten. Beim Übergang eines der Umrichter (hier Cn) vom frequenzkonstanten zum frequenzvariablen Betrieb muß dieser von der gemeinsamen Synchronisation abgekoppelt werden.

In den Fig. 6a, 6b sind hierfür beispielsweise zwei Möglichkeiten aufgezeigt. In der in Fig. 6a dargestellten Schaltungsanordnung wird die Synchronisation bei Einsatz der Strombegrenzung unterbrochen. Der Synchronisationstakt ist am Eingang 13 des Steuerbausteins kapazitiv angekoppelt. Wird der Ausgang des "Slaves" so stark belastet, daß die Strombegrenzung des Konverters eingreift, so schaltet der Operationsverstärker OP seinen Ausgang auf High-Potential und der Transistor T wird angesteuert. Die vom Master ankommenden Synchronisationssimpulse werden somit vom "slave" abgekoppelt, wodurch er unsynchronisiert arbeitet und, falls der Ausgangsstrom weiter ansteigen sollte, seine Arbeitsfrequenz entsprechend eines frequenzvariablen Konverters reduzieren kann. Der Konverter arbeitet nach dem Einsatz der Strombegrenzung unsynchronisiert. Will man erreichen, daß die Synchronisation des Umrichters erst beim Eingreifen der erfindungsgemäßen Schaltung verlassen wird, so kann man eine Schaltung, wie in Fig. 6b dargestellt verwenden. Der Operationsverstärker OP überprüft das Stellsignal an dem Kondensator C1 und vergleicht es mit einer Referenzspannung  $U_{ref}$ . Die Widerstände R1, R2 sind für die Pegelanpassung bzw. auch in Verbindung mit dem Kondensator C2 für eine weitere Glättung des Signals zuständig. Der Widerstand R3 bewirkt eine Mitkopplung um eine Hysterese zwischen dem synchronen und nicht synchronen betrieb des Konverters zu gewährleisten. Da sich das Stellsignal  $U_{C1}$  am Kondensator C1 erst beim Eingreifen der oben beschriebenen Schaltung ändert, setzt der Übergang vom frequenzkonstanten zu dem frequenzvariablen Betrieb erst ein, sobald dieser für die "korrekte" Funktion der Schaltung notwendig ist.

#### Patentansprüche

1. Umrichter mit einem Pulsweitenmodulator (PWM), wobei die Dauer der Impulse des vom Pulsweitenmodulator abgegebenen Ansteuerungssignals durch mindestens eine Stellgröße veränderbar und die Taktfrequenz des Umrichters durch einen spannungsgesteuerten Oszillator (VCO) regelbar ist, dadurch gekennzeichnet, daß ein synchroner Mittelwertbildner (V) vorgesehen ist, dessen erstem Eingang ein von der Vorderflanke des Ansteuerungssignals ausgelöster Vergleichsimpuls konstanter Dauer und dessen zweitem Eingang das vom Pulsweitenmodulator abgegebene Ansteuerungssignal zugeführt ist, wobei bei gleicher oder geringerer Impulsdauer des Ansteuerungssignals gegenüber dem Vergleichsimpuls, ein vom synchronen Mittelwertbildner (V) abgegebenes Spannungspotential (Stellsignal) die Ausgangsfrequenz des spannungsgesteuerten Oszillators (VCO) verringert.

2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß ein monostabiles Kippglied

zur Erzeugung des am zweiten Eingang des synchronen Mittelwertbildners (V) anliegenden Impulses vorgesehen ist, wobei die Dauer des Vergleichsimpulses geringfügig über dem minimal möglichen vom Pulsweitenmodulator abgebbaren Impuls des Ansteuerungssignals liegt.

3. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß im einem Kurzschluß- oder Leerlaufzustand eines pulsweitenmodulierten Umrichters das vom Pulsweitenmodulator (PWM) abgegebene Ansteuerungssignal einen Impuls gleichbleibender minimaler Dauer aufweist.

4. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der Ausgang des monostabilen Kippgliedes (MF) über einen Widerstand (R3) mit der Basis eines Transistors (T1) verbunden ist, daß ein erster Widerstand (R1) mit dem Emitter des Transistors (T1) sowie das bistabile Kippglied (MF) mit einer ersten Betriebspotentialspannung ( $U_h$ ) verbunden ist, daß der Kollektor des Transistors (T1) mit dem einen Anschluß eines zweiten Widerstandes (R2) sowie mit der Kathode einer weiteren Diode (D3) verbunden ist,

daß ein Kondensator (C1) mit der Anode der dritten Diode (D3) sowie mit der Kathode einer zweiten Diode (D2) verbunden ist, daß der weitere Anschluß des ersten Widerstandes (R1) mit der Anode der ersten Diode (D1), sowie mit der Anode der zweiten Diode (D2) und einem weiteren Anschluß des zweiten Widerstandes (R2) verbunden ist, daß der Schaltungseingang (E) sowohl mit der Kathode der ersten Diode (D1) und dem Triggereingang (T) des bistabilen Kippgliedes (MF) verbunden ist und

daß ein weiterer Anschluß des Kondensators (C1) sowie das monostabile Kippglied (MF) an einer einem Massepotential entsprechendem zweiten Betriebspotentialspannung angeschlossen ist.

5. Schaltungsanordnung nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß mehrere dieser Schaltungsanordnungen über eine Synchronisationseinheit von einem Master-Taktgenerator gesteuert werden, daß jedem Mittelwertbildner (V) jeder Schaltungsanordnung eine Vergleichseinheit (VGL) nachgeordnet ist, wobei in der Vergleichseinheit (VGL) das vom Mittelwertbildner (V) abgegebene Spannungspotential des Stellsignals mit einem Referenzspannungspotential verglichen wird und jeweils der Umrichter bei einem Kurzschluß- oder Leerlaufzustand vom Master-Taktgenerator abgekoppelt wird.

---

Hierzu 6 Seite(n) Zeichnungen

---

- Leerseite -

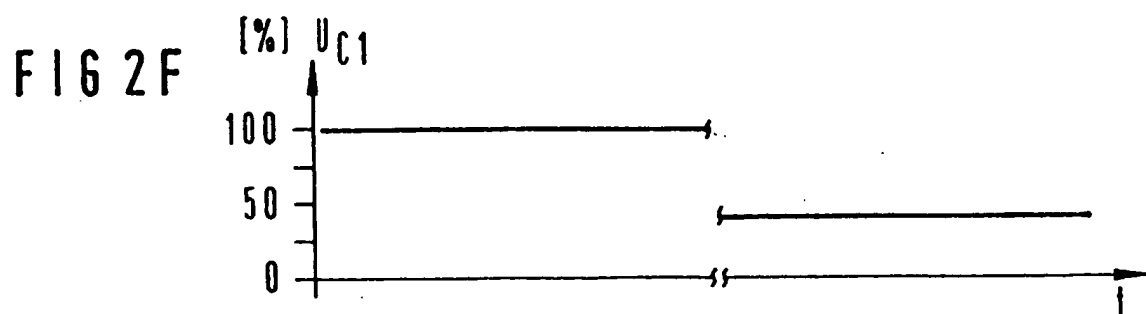
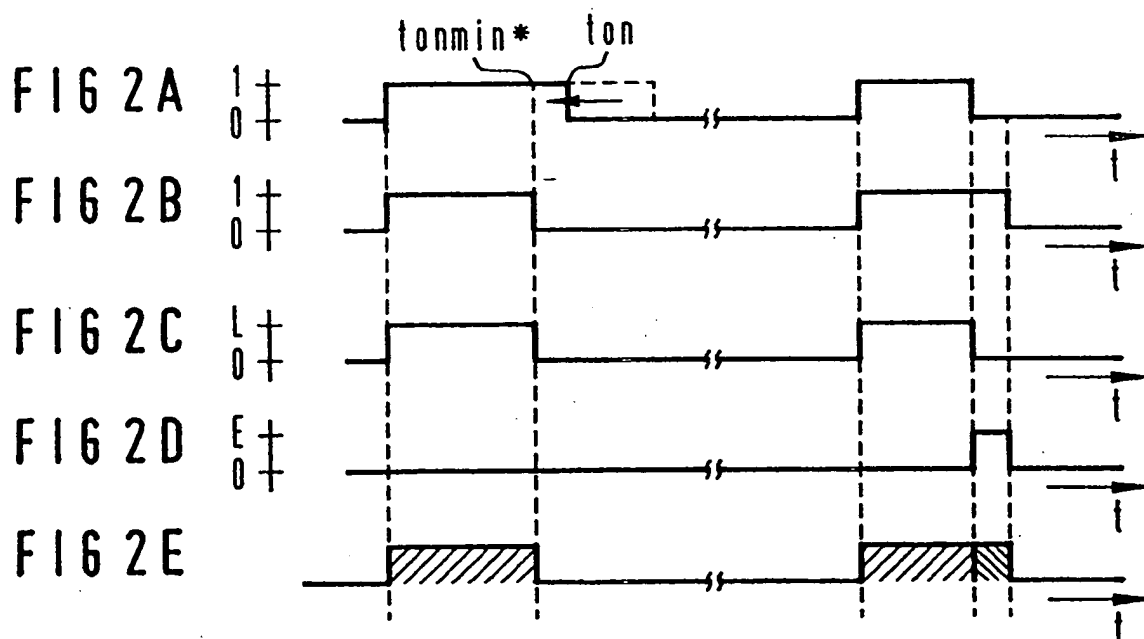
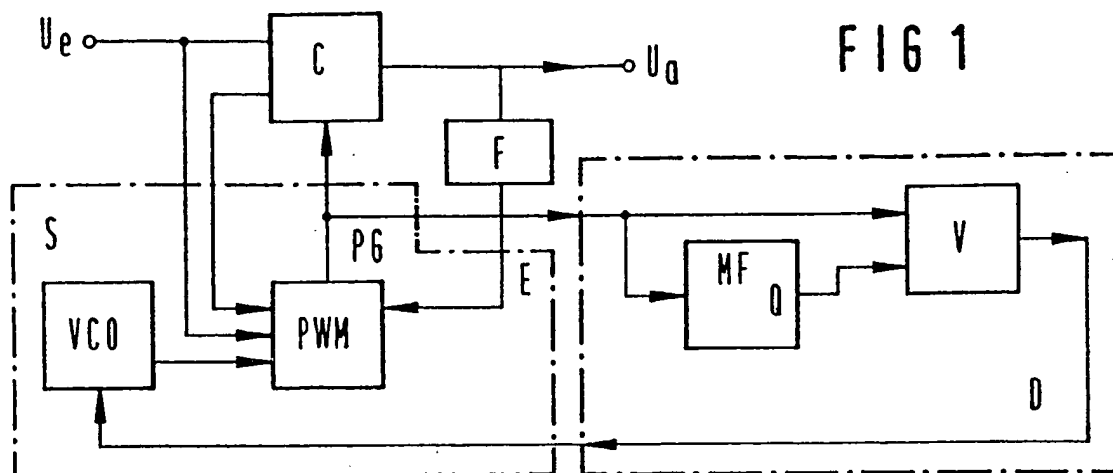




FIG 3

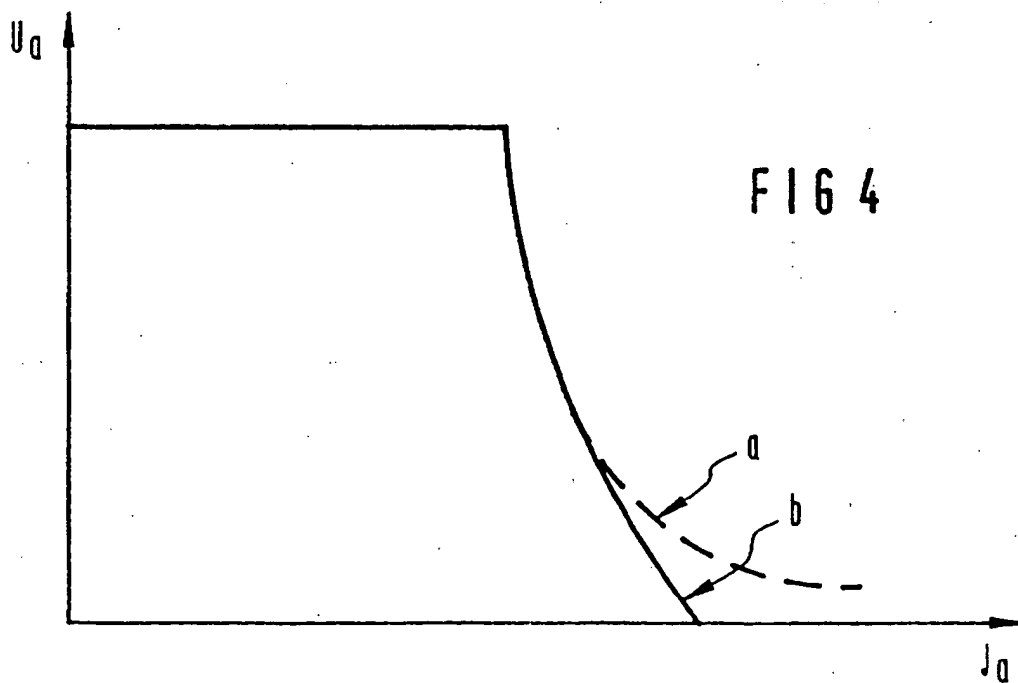
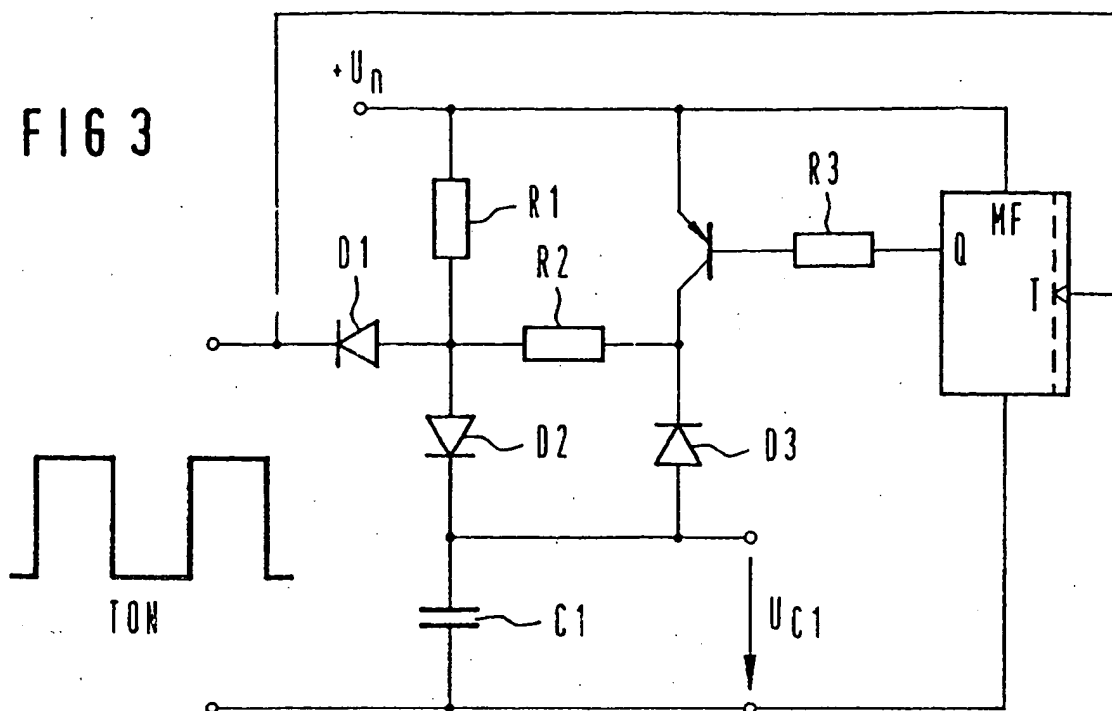
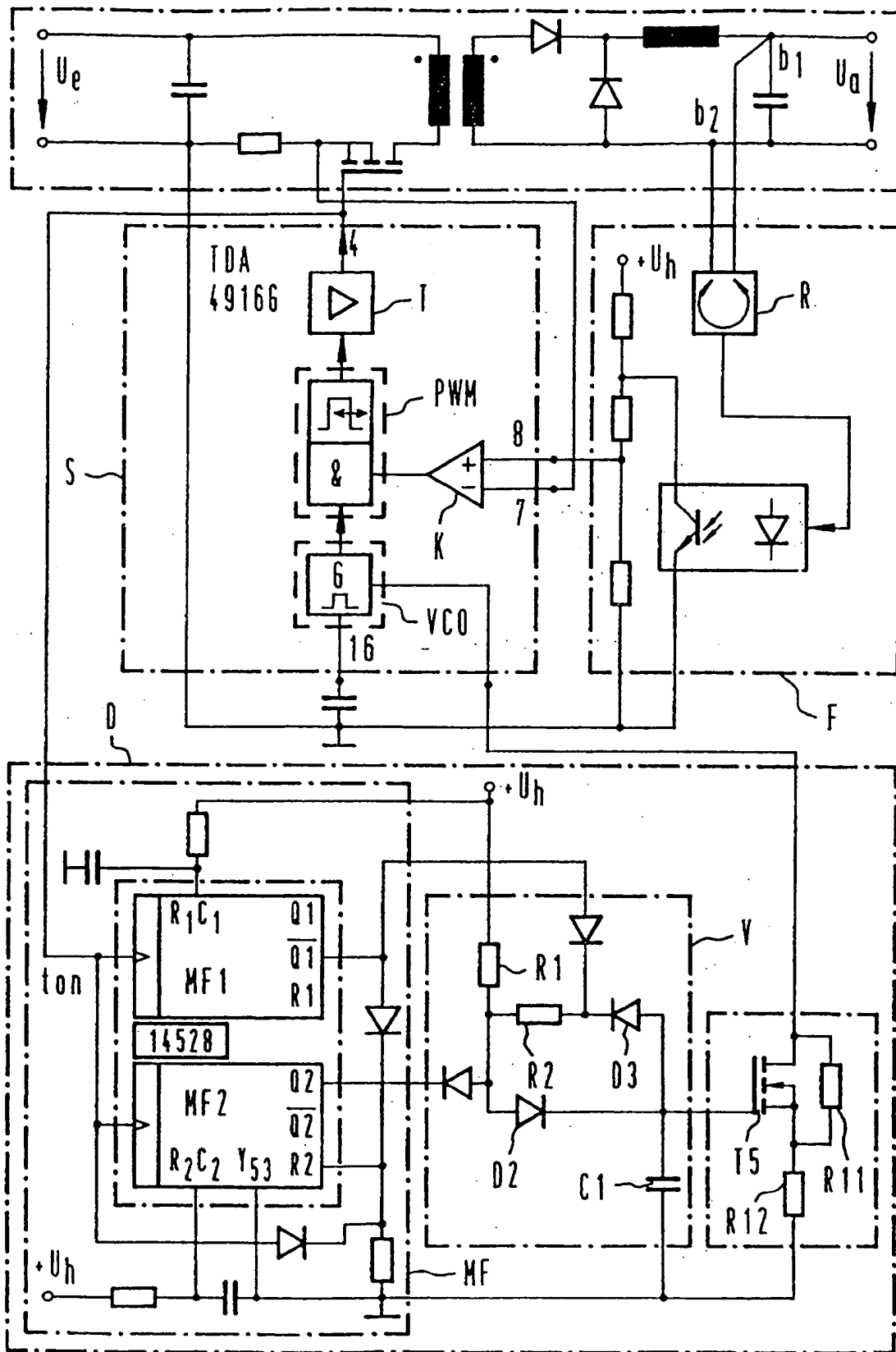


FIG 4



F16 5b



602 062/71

F16 6a

